

Practitioner's Docket No.: 040044-0307078  
Client Reference No.: OF03P195/US

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: HAN-CHOON LEE      Confirmation No:  
Application No.:      Group No.:  
Filed: December 12, 2003      Examiner:  
For: METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE

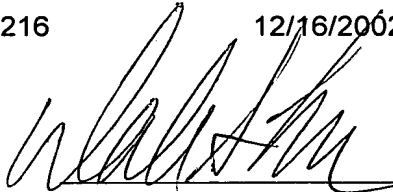
**Commissioner for Patents**  
**P.O. Box 1450**  
**Alexandria, VA 22313-1450**

**SUBMISSION OF PRIORITY DOCUMENT**

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
Republic of Korea	10-2002-0080216	12/16/2002

Date: December 12, 2003  
PILLSBURY WINTHROP LLP  
P.O. Box 10500  
McLean, VA 22102  
Telephone: (703) 905-2000  
Facsimile: (703) 905-2500  
Customer Number: 00909

  
\_\_\_\_\_  
Dale S. Lazar  
Registration No. 28872



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0080216  
Application Number

출원년월일 : 2002년 12월 16일  
Date of Application DEC 16, 2002

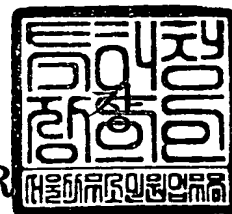
출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 10 월 04 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002. 12. 16
【발명의 명칭】	반도체 소자 제조방법
【발명의 영문명칭】	Fabricating method of semiconductor device
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	김영철
【대리인코드】	9-1998-000040-3
【포괄위임등록번호】	2001-037703-7
【대리인】	
【성명】	김순영
【대리인코드】	9-1998-000131-1
【포괄위임등록번호】	2001-037700-5
【대리인】	
【성명】	이준서
【대리인코드】	9-1998-000463-0
【포괄위임등록번호】	2001-037697-8
【발명자】	
【성명의 국문표기】	이한춘
【성명의 영문표기】	LEE, Han Choon
【주민등록번호】	690610-1400616
【우편번호】	134-032
【주소】	서울특별시 강동구 성내2동 125-6번지 302호
【국적】	KR
【심사청구】	청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

김영철 (인) 대리인

김순영 (인) 대리인

이준서 (인)

## 【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 2 면 2,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 14 항 557,000 원

【합계】 588,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 구리배선을 적용하는 반도체 장치의 소자간 전기적 연결을 위한 배선 연결부에 있어서 공정 진행에 따라 구리 배선 상에 존재하는 구리 산화막을 효과적으로 제거할 수 있는 반도체 소자 제조방법에 관한 것으로서,

본 발명의 제 1 실시예에 따른 반도체 소자 제조방법은 반도체 기판 상에 절연층을 형성하는 단계와, 상기 절연층 상에 도전성 물질을 증착한 후 선택적으로 패터닝하여 제 1 배선을 형성하는 단계와, 상기 제 1 배선을 포함한 기판 전면에 절연 물질을 적층하여 층간 절연층을 형성하는 단계와, 상기 제 1 배선의 소정 부위가 노출되도록 상기 층간 절연층을 선택적으로 패터닝하여 콘택홀 또는 비아홀을 형성하는 단계와, 상기 제 1 배선의 표면 상에 제 1 배선이 자연적으로 산화하여 형성된 자연 산화막을 수소/일산화탄소 가스 분위기 하에서 플라즈마 처리하여 상기 자연 산화막을 제거하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

**【대표도】**

도 6

**【색인어】**

구리 산화막, 구리 시드층

**【명세서】****【발명의 명칭】**

반도체 소자 제조방법{Fabricating method of semiconductor device}

**【도면의 간단한 설명】**

도 1 내지 도 4는 종래 기술에 따른 반도체 소자의 배선 및 그 연결부 형성방법을 도시하는 공정단면도.

도 5 내지 도 8은 본 발명에 따른 반도체 소자 제조방법을 설명하기 위한 공정 단면도.

**<도면의 주요 부분에 대한 설명>**

201 : 반도체 기판

202 : 절연층

203 : 제 1 배선

203a : 제 1 구리 산화막

204 : 층간절연층

205 : 콘택홀 또는 비아홀

206 : 트렌치

207 : 금속 배리어층

208 : 금속 시드층

208a : 제 2 구리 산화막

209 : 제 2 배선

209a : 제 3 구리 산화막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 소자 제조방법에 관한 것으로서, 보다 상세하게는 구리배선을 적용하는 반도체 장치의 소자간 전기적 연결을 위한 배선 연결부에 있어서 공정 진행에 따라 구리 배

선 상에 존재하는 구리 산화막을 효과적으로 제거할 수 있는 반도체 소자 제조방법에 관한 것이다.

- <11> 구리 금속배선을 적용하는 반도체 장치의 소자간 전기적 연결을 위한 배선연결부 및 배선과 그 형성기술은 층간절연층의 콘택홀 또는 비아홀 내에 플러그를 형성한 다음 플러그 상에 배선을 패터닝하여 형성하므로 주변부위와 단차가 심화되고, 낮은 단차 피복도(step coverage)를 가지며 배선간의 단락이 유발되어 수율이 좋지 않다.
- <12> 이를 개선하기 위하여 콘택 또는 비어 플러그와 배선을 동시에 패터닝하여 형성하는 방법으로 듀얼 다마신(Dual damascene)구조가 제안되었다. 다마신 구조에서 채용하는 구리배선은 알루미늄 또는 알루미늄 합금 배선에 비하여 저항 및 신뢰성 측면에서 유리하다.
- <13> 구리배선 형성을 위한 듀얼 다마신 공정은 다음과 같은 순서로 진행된다.
- <14> 먼저 층간절연층을 하부배선 상에 형성한 다음, 층간절연층의 소정 부위를 제거하여 비아홀 및 트렌치를 형성하고, 하부 배선과 접촉하도록 금속배리어층을 비아홀 및 트렌치에 얇게 형성한 후, 구리층을 비아홀 및 트렌치를 완전히 매립하도록 형성한 다음, 구리층에 대한 평탄화공정 및 세정공정을 실시하고, 다시 노출된 구리배선을 덮도록 캐핑층(capping layer)을 형성한다.
- <15> 상기 공정 중, 평탄화공정은 주로 구리층에 대한 CMP(Chemical Mechanical Polishing)으로 진행되는데, CMP로 평탄화되어 잔류한 구리층으로 이루어진 구리배선의 노출된 표면에는 산화구리( $\text{CuO}$ )로 이루어진 자연산화막이 형성된다. 이어서, 구리배선 상에 캐핑층으로 질화막을 증착하여 구리 원자의 층간절연층으로 확산을 방지한다.

- <16> 도 1 내지 도 4는 종래 기술에 따른 반도체 소자의 배선 및 그 연결부 형성방법을 도시하는 공정단면도이다.
- <17> 먼저 도 1에 도시한 바와 같이, 반도체 기판(101) 상에 절연층(102)을 화학기상증착법 (Chemical Vapor Deposition, CVD)으로 증착한다. 여기서, 상기 반도체 기판(101)은 불순물 확산영역(도시하지 않음)이 형성된 반도체기판이거나 또는 하부의 배선일 수도 있다.
- <18> 그리고, 제 1 배선을 형성하기 위하여 절연층(102) 위에 금속을 스퍼터링 등의 방법으로 형성하여 하부 금속층을 형성한 다음, 일련의 포토리소그래피 공정을 이용하여 상기 하부 금속층을 선택적으로 패터닝하여 제 1 배선(103)을 형성한다.
- <19> 그 다음, 제 1 배선(103)을 포함하여 절연층(102) 위에 산화막 등으로 금속배선 층간절연층(104)을 증착한다.
- <20> 그리고, 층간절연층(104)의 소정 부분을 포토리소그래피 방법으로 패터닝하여 제 1 배선층(103)을 노출시키는 콘택홀(또는 비아홀) 및 상부배선인 제 2 배선의 패턴이 음각된 트렌치를 형성한다. 즉, 후속공정에서 비아홀에는 상부배선과 하부배선인 제 1 배선을 연결하는 플러그가 형성되고, 트렌치에는 상부배선이 형성된다.
- <21> 도 2를 참조하면, 잔류한 층간절연층 상에 트렌치(106) 및 비아홀(105)을 통해 제 1 배선(103)과 접촉되도록 배리어층(107)을 PVD(Physical Vapor Deposition)법으로 형성한다.
- <22> 도 3을 참조하면, 상기 배리어층(107) 상에 상부배선인 제 2 배선을 형성하기 위하여 금속 등의 상부 도전층(108)을 CVD 또는 스퍼터링 등의 방법으로 증착하여 형성한다. 이 때, 상부 도전층(108)은 알루미늄(Al), 구리(Cu) 등을 사용하여 형성할 수 있다.



- <23> 구리를 사용할 경우, 배리어층(107) 표면에 구리 벌크층(Cu bulk layer)을 형성하기 위한 구리 시드층(Cu seed layer, 도시하지 않음)을 역시 PVD법으로 증착하여 형성한 다음, 구리 시드층을 이용하는 전기도금법(electroplating)으로 콘택홀과 트렌치를 충분히 매립하는 두께로 구리 벌크층(108)을 형성한다.
- <24> 도 4를 참조하면, 형성된 구리 벌크층(108)에 평탄화공정을 실시하여 잔류한 층간절연층(104) 표면을 노출시켜 별도의 패터닝 공정 없이 제 1 배선(103)과 전기적으로 연결된 상부배선인 제 2 배선(108)을 형성한다.
- <25> 그러나, 종래 기술에 따른 반도체 장치의 배선연결부 및 배선 형성방법은 다음과 같은 문제점이 있었다.
- <26> 콘택홀(또는 비아홀) 및 트렌치의 형성 후 제 1 배선 상에 형성된 구리 산화막 또는 구리층에 대한 CMP 및 표면세정공정 후 구리배선(제 2 배선) 상부 표면에 형성된 구리 산화막은 구리배선(제 2 배선) 자체의 저항을 높일 뿐만 아니라 배선의 신뢰성을 열화시킨다. 또한, 상기 구리배선(제 2 배선)과 연결될 다른 층의 비아홀 및 구리 플러그가 형성되면, 구리 산화막은 이들간의 비아 저항을 높이고 비아간의 절연을 초래하는 문제점이 있다.
- <27> 상기와 같이 제 1 배선 또는 제 2 배선의 구리층 표면 상에 형성된 구리 산화막을 제거하기 위해  $H_2+Ar$  플라즈마법,  $H_2+He$  플라즈마법 및  $H_2$  열처리법 등이 이용된다.
- <28> 그러나, 이러한 방법들은 금속 배리어층 표면에 구리 벌크층(Cu bulk layer)을 형성하기 위한 구리 시드층(Cu seed layer)의 증착 후 상기 구리 시드층에 형성되는 구리 산화막의 제거에는 적합하지 않다.

<29> 또한, 상기 구리 시드층은 형성 두께가 얇고 고온 열처리시 하부의 금속 배리어층을 결정화시켜 금속 배리어층의 특성을 저하시키는 단점이 있다. 따라서, 상기와 같은 금속 배리어층 상에 형성된 구리 산화막을 제거하기 위해서는 실온 또는 그 이하의 온도에서 구리 산화막 제거 공정이 진행되어야 한다.

【발명이 이루고자 하는 기술적 과제】

<30> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로서, 구리배선을 적용하는 반도체 장치의 소자간 전기적 연결을 위한 배선 연결부에 있어서 공정 진행에 따라 구리 배선 상에 존재하는 구리 산화막을 효과적으로 제거할 수 있는 반도체 소자 제조방법을 제공하는데 목적이 있다.

【발명의 구성 및 작용】

<31> 상술한 바와 같은 목적을 달성하기 위한 본 발명의 제 1 실시예에 따른 반도체 소자 제조방법은 반도체 기판 상에 절연층을 형성하는 단계와, 상기 절연층 상에 도전성 물질을 증착한 후 선택적으로 패터닝하여 제 1 배선을 형성하는 단계와, 상기 제 1 배선을 포함한 기판 전면에 절연 물질을 적층하여 층간 절연층을 형성하는 단계와, 상기 제 1 배선의 소정 부위가 노출되도록 상기 층간 절연층을 선택적으로 패터닝하여 콘택홀 또는 비아홀을 형성하는 단계와, 상기 제 1 배선의 표면 상에 제 1 배선이 자연적으로 산화하여 형성된 자연 산화막을 수소/일산화탄소 가스 분위기 하에서 플라즈마 처리하여 상기 자연 산화막을 제거하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

<32> 본 발명의 제 2 실시예에 따른 반도체 소자 제조방법은 반도체 기판 상에 절연층을 형성하는 단계와, 상기 절연층 상에 도전성 물질을 증착한 후 선택적으로 패터닝하여 제 1 배선을

형성하는 단계와, 상기 제 1 배선을 포함한 기판 전면에 절연 물질을 적층하여 층간 절연층을 형성하는 단계와, 상기 제 1 배선의 소정 부위가 노출되도록 상기 층간 절연층을 포토리소그래피 공정을 이용하여 순차적으로 패터닝하여 콘택홀과 트렌치를 형성하는 단계와, 상기 콘택홀 및 트렌치를 포함한 기판 전면 상에 소정 두께로 금속층을 증착하여 금속 배리어층을 형성하는 단계와, 상기 금속 배리어층 전면에 소정 두께의 구리 시드층(Cu seed layer)을 형성하는 단계와, 상기 구리 시드층 상에 상기 구리 시드층이 자연적으로 산화하여 형성된 구리 산화막을 수소/일산화탄소 가스 분위기 하에서 플라즈마 처리하여 상기 구리 산화막을 제거하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

<33> 본 발명의 제 3 실시예에 따른 반도체 소자 제조방법은 반도체 기판 상에 절연층을 형성하는 단계와, 상기 절연층 상에 도전성 물질을 증착한 후 선택적으로 패터닝하여 제 1 배선을 형성하는 단계와, 상기 제 1 배선을 포함한 기판 전면에 절연 물질을 적층하여 층간 절연층을 형성하는 단계와, 상기 제 1 배선의 소정 부위가 노출되도록 상기 층간 절연층을 포토리소그래피 공정을 이용하여 순차적으로 패터닝하여 콘택홀과 트렌치를 형성하는 단계와, 상기 콘택홀 및 트렌치를 포함한 기판 전면 상에 소정 두께로 금속층을 증착하여 금속 배리어층을 형성하는 단계와, 상기 금속 배리어층을 포함한 기판 전면 상에 상기 콘택홀 및 트렌치를 충분히 메우도록 금속 배선 형성을 위한 도전성 물질을 증착하는 단계와, 상기 층간절연층이 노출되도록 층간절연층 상의 도전성 물질을 평탄화 공정을 통해 제거하여 플러그 및 제 2 배선을 형성하는 단계와, 상기 제 2 배선 상에 상기 제 2 배선이 자연적으로 산화하여 형성된 자연 산화막을 수소/일산화탄소 가스 분위기 하에서 플라즈마 처리하여 상기 자연 산화막을 제거하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

- <34> 본 발명의 특징에 따르면 수소/일산화탄소 가스 분위기 하에서 플라즈마 또는 열처리를 통해 구리배선을 적용하는 반도체 장치의 소자간 전기적 연결을 위한 배선 연결부에 있어서 공정 진행에 따라 구리 배선 상에 존재하는 구리 산화막을 효과적으로 제거할 수 있다.
- <35> 이하, 도면을 참조하여 본 발명의 반도체 소자 제조방법을 상세히 설명하기로 한다.
- <36> 도 5 내지 도 6은 본 발명에 따른 반도체 소자의 제조방법을 설명하기 위한 공정단면도이다.
- <37> 먼저 도 5에 도시한 바와 같이, 반도체 기판(201) 상에 절연층(202)을 화학기상증착법 (Chemical Vapor Deposition, CVD)으로 증착한다. 여기서, 상기 반도체 기판(201)은 불순물 확산영역(도시하지 않음)이 형성된 반도체기판이거나 또는 하부의 배선일 수도 있다.
- <38> 그리고, 제 1 배선을 형성하기 위하여 절연층 위에 금속을 스퍼터링 등의 방법으로 형성하여 하부 금속층(203)을 형성한 다음, 하부 금속층 위에 포토레지스트를 도포한 후 제 1 배선용 마스크를 이용한 노광 및 현상으로 식각마스크(도시하지 않음)를 형성한 다음, 식각마스크를 이용하여 하부 금속층을 패터닝하여 제 1 배선(203)을 형성한다.
- <39> 그 다음, 제 1 배선(203)을 포함하여 절연층(202) 위에 산화막 등으로 금속배선 층간절연층(204)을 증착한다. 이 때, 상기 층간절연층(204)은 TEOS(Tetra Ethyl OrthoSilicate) 및 SOG(Spin On Glass)을 조합하여 형성할 수 있으며 그 주성분은 실리콘 산화물( $\text{SiO}_2$ )이다.
- <40> 그리고, 층간절연층(204)의 소정 부분을 포토리소그래피 방법으로 패터닝하여 제 1 배선층을 노출시키는 콘택홀(또는 비아홀)(205) 및 상부배선인 제 2 배선의 패턴이 음각된 트렌치(206)를 형성한다. 즉, 후속공정에서 비아홀(205)에는 상부배선과 하부배선인 제 1 배선을 연결하는 플러그가 형성되고, 트렌치(206)에는 상부배선이 형성된다.

- <41> 이 때, 콘택홀(또는 비아홀)과 트렌치는 동시에 패터닝되는데 그 방법은 다음과 같다.
- <42> 먼저, 비아홀 형성부위를 정의하는 제 1 홀을 소정의 깊이로 층간절연층을 제거하여 형성한다. 이 때, 제 1 홀에 의하여 제 1 배선의 표면이 노출되지 않도록 한다.
- <43> 그리고, 트렌치 패턴이 정의된 식각마스크를 제 1 홀을 포함하는 부위 상부의 층간절연층 상에 형성한 다음, 식각마스크를 이용하여 층간절연층을 건식식각으로 제거하여 트렌치를 형성한다. 따라서, 트렌치 형성을 식각시 제 1 홀 하부의 층간절연층이 동시에 식각되어 상부가 확장된 비아홀이 형성된다.
- <44> 이 때, 상기 콘택홀(또는 비아홀) 및 트렌치의 형성을 위한 상기 층간절연층(204)의 식각은 RIE(Reactive Ion Etching)과 같은 건식 식각을 이용하는데, 이와 같은 건식 식각으로 인해 상기 제 1 배선(203) 즉, 구리층 상에는 제 1 구리 산화막(203a)이 건식 식각의 부산물로 형성된다.
- <45> 상기 제 1 배선(203) 상의 제 1 구리 산화막(203a)을 제거하기 위해 본 발명의 반도체 소자 제조방법에서는  $H_2+CO$  가스에 의한 플라즈마 처리 또는  $H_2+CO$  가스에 의한 열처리 방법을 제시한다.
- <46> 즉, 상온에서  $H_2+CO$  분위기에서 플라즈마 처리를 실시하여 제 1 배선(203) 상의 제 1 구리 산화막(203a)을 환원시켜 제거시키거나 또는 상온~200℃ 사이의 온도 범위 하에서  $H_2+CO$  가스에 의한 열처리를 실시하여 제 1 배선(203) 상의 제 1 구리 산화막(203a)을 환원시켜 제거시킨다.
- <47> 이어 도 6에 도시한 바와 같이, 상기 층간절연층(204) 상에 트렌치(206) 및 비아홀(205)을 통해 제 1 배선(203)과 접촉되도록 금속 배리어층(207)을 형성한다. 이 때, 금속 배리어층

(207)은 Ti 또는 TiN 등을 화학기상증착하여 형성하거나, 스퍼터링 방법으로 Ta 또는 TaN을 증착하여 형성할 수 있다.

<48> 이어, 도 7에 도시한 바와 같이, 상기 금속 배리어층(207) 상에 제 2 배선과 플리그를 동시에 형성하기 위하여 도전층을 형성한다. 이 때, 도전층은 구리(Cu)를 사용하여 형성하며 이러한 구리층은 전해도금법을 통해 증착된다.

<49> 매립특성 및 물성이 우수한 전해도금법으로 구리층을 형성할 경우, 상기 배리어층 표면에 구리 벌크층(Cu bulk layer)을 형성하기 위한 구리 시드층(Cu seed layer)(208)을 스퍼터링 또는 PVD법으로 소정 두께로 형성한 다음, 구리 시드층(208)을 이용하는 전해도금법으로 콘택홀과 트렌치를 충분히 매립하도록 구리 벌크층을 형성한다. 따라서, 배선간의 연결부와 제 2 배선 형성층(209)이 동시에 형성된다.

<50> 여기서, 상기 구리 시드층(208)을 형성한 후 구리 시드층(208)을 기반으로 구리 벌크층(209)을 형성하기 전, 상기 구리 시드층(208) 상에는 챔버 내의 산화분위기로 인해 제 2 구리 산화막(208a)이 형성된다. 상기 제 2 구리 산화막(208a)은 구리 벌크층(209)의 성장을 방해하고 결정성을 저하시키는 역할을 하기 때문에 제거되어야 한다(도 6 참조).

<51> 상기 구리 시드층(208)은 물론 상기 구리 시드층 상에 형성되는 제 2 구리 산화막(208a) 역시 형성 두께가 매우 얇고 고온 열처리시 하부의 금속 배리어층을 결정화시켜 금속 배리어층(207)의 특성을 저하시키는 단점이 있다.

<52> 본 발명의 반도체 소자 제조방법에서는 상기 구리 시드층 상에 형성된 제 2 구리 산화막을 제거하기 위해  $H_2+CO$  가스 분위기에서 플라즈마 처리 또는  $H_2+CO$  가스에 의한 열처리 방법을 제시한다.

- <53> 즉, 상온에서  $H_2+CO$  가스 분위기에서 플라즈마 처리를 실시하여 상기 구리 시드층(208) 상에 형성되어 있는 제 2 구리 산화막(208a)을 환원시켜 제거시키거나 또는 상온~200℃ 사이의 온도 범위 하에서  $H_2+CO$  가스에 의한 열처리를 실시하여 제 2 구리 산화막(208a)을 제거시킨다.
- <54> 한편, 상기 콘택홀(또는 비아홀) 및 트렌치를 충분히 매립하도록 형성된 구리 벌크층(209)에 평탄화 공정을 실시하여 잔류한 층간절연층 표면을 노출시켜 별도의 패터닝 공정 없이 제 1 배선(203)과 전기적으로 연결된 상부배선인 제 2 배선(203)을 형성한다. 이 때, 평탄화공정은 화학기계적 연마법(Chemical Mechanical Polishing, CMP)으로 한다(도 8 참조).
- <55> 여기서, 상기 구리 벌크층(209)에 대한 CMP 및 표면세정공정 후 제 2 배선(209) 상부 표면에 제 3 구리 산화막(209a)이 형성되어 구리 배선 자체의 저항을 높일 뿐만 아니라 배선의 신뢰성을 열화시킨다.
- <56> 또한, 상기 제 2 배선(209)과 연결될 다른 층의 비아홀 및 구리 플러그가 형성되면 상기 제 2 배선상(209)의 제 3 구리 산화막(209a)은 이들간의 비아 저항을 높이고 비아간의 절연을 초래하는 문제점을 야기한다.
- <57> 본 발명의 반도체 소자 제조방법은 이와 같은 제 2 배선상의 제 3 구리 산화막을 제거하기 위해서 전술한 구리 산화막 제거 방법과 동일한 처리 방법을 제시한다.
- <58> 즉, 상온에서  $H_2+CO$  가스 분위기에서 플라즈마 처리를 실시하여 상기 제 2 배선(209) 상에 형성되어 있는 제 3 구리 산화막(209a)을 환원시켜 제거시키거나 또는 상온~200℃ 사이의 온도 범위 하에서  $H_2+CO$  가스에 의한 열처리를 실시하여 제 3 구리 산화막(209a)을 제거시킨다.

## 【발명의 효과】

<59> 상술한 바와 같은 본 발명의 반도체 소자 제조방법은 다음과 같은 효과가 있다.

<60> 구리 시드층 상에 형성되는 구리 산화막, 구리 배선의 CMP 처리 후 구리 배선 상에 형성되는 구리 산화막 및 콘택홀(또는 비아홀)의 하부 구리 배선 상에 형성되는 구리 산화막을 상온 또는 저온의 공정을 통해 효과적으로 제거할 수 있는 장점이 있다.



**【특허청구범위】****【청구항 1】**

반도체 기판 상에 절연층을 형성하는 단계;

상기 절연층 상에 도전성 물질을 증착한 후 선택적으로 패터닝하여 제 1 배선을 형성하는 단계;

상기 제 1 배선을 포함한 기판 전면에 절연 물질을 적층하여 층간 절연층을 형성하는 단계;

상기 제 1 배선의 소정 부위가 노출되도록 상기 층간 절연층을 선택적으로 패터닝하여 콘택홀 또는 비아홀을 형성하는 단계;

상기 제 1 배선의 표면 상에 제 1 배선이 자연적으로 산화하여 형성된 자연 산화막을 수소/일산화탄소 가스 분위기 하에서 플라즈마 처리하여 상기 자연 산화막을 제거하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자 제조방법.

**【청구항 2】**

제 1 항에 있어서, 상기 제 1 배선은 구리(Cu)로 형성하는 것을 특징으로 하는 반도체 소자 제조방법.

**【청구항 3】**

제 1 항에 있어서, 상기 플라즈마 처리는 상온에서 진행하는 것을 특징으로 하는 반도체 소자 제조방법.

**【청구항 4】**

제 1 항에 있어서, 상기 제 1 배선의 표면 상에 제 1 배선이 자연적으로 산화하여 형성된 자연 산화막을 수소/일산화탄소 분위기에서 열처리하여 상기 자연 산화막을 제거하는 것을 특징으로 하는 반도체 소자 제조방법.

**【청구항 5】**

제 4 항에 있어서, 상기 열처리는 상온~200℃ 의 온도 범위에서 실시하는 것을 특징으로 하는 반도체 소자 제조방법.

**【청구항 6】**

반도체 기판 상에 절연층을 형성하는 단계;

상기 절연층 상에 도전성 물질을 증착한 후 선택적으로 패터닝하여 제 1 배선을 형성하는 단계;

상기 제 1 배선을 포함한 기판 전면에 절연 물질을 적층하여 층간 절연층을 형성하는 단계;

상기 제 1 배선의 소정 부위가 노출되도록 상기 층간 절연층을 포토리소그래피 공정을 이용하여 순차적으로 패터닝하여 콘택홀과 트렌치를 형성하는 단계;

상기 콘택홀 및 트렌치를 포함한 기판 전면 상에 소정 두께로 금속층을 증착하여 금속 배리어층을 형성하는 단계;

상기 금속 배리어층 전면 상에 소정 두께의 구리 시드층(Cu seed layer)을 형성하는 단계;

상기 구리 시드층 상에 상기 구리 시드층이 자연적으로 산화하여 형성된 구리 산화막을 수소/일산화탄소 가스 분위기 하에서 플라즈마 처리하여 상기 구리 산화막을 제거하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 7】

제 6 항에 있어서, 상기 플라즈마 처리는 상온에서 진행하는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 8】

제 6 항에 있어서, 상기 구리 시드층 상에 상기 구리 시드층이 자연적으로 산화하여 형성된 구리 산화막을 수소/일산화탄소 분위기에서 열처리하여 상기 구리 산화막을 제거하는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 9】

제 8 항에 있어서, 상기 열처리는 상온~200℃ 의 온도 범위에서 실시하는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 10】

반도체 기판 상에 절연층을 형성하는 단계;

상기 절연층 상에 도전성 물질을 증착한 후 선택적으로 패터닝하여 제 1 배선을 형성하는 단계;

상기 제 1 배선을 포함한 기판 전면에 절연 물질을 적층하여 층간 절연층을 형성하는 단계;

상기 제 1 배선의 소정 부위가 노출되도록 상기 층간 절연층을 포토리소그래피 공정을 이용하여 순차적으로 패터닝하여 콘택홀과 트렌치를 형성하는 단계;

상기 콘택홀 및 트렌치를 포함한 기판 전면 상에 소정 두께로 금속층을 증착하여 금속 배리어층을 형성하는 단계;

상기 금속 배리어층을 포함한 기판 전면 상에 상기 콘택홀 및 트렌치를 충분히 메우도록 금속 배선 형성을 위한 도전성 물질을 증착하는 단계;

상기 층간절연층이 노출되도록 층간절연층 상의 도전성 물질을 평탄화 공정을 통해 제거하여 플러그 및 제 2 배선을 형성하는 단계;

상기 제 2 배선 상에 상기 제 2 배선이 자연적으로 산화하여 형성된 자연 산화막을 수소/일산화탄소 가스 분위기 하에서 플라즈마 처리하여 상기 자연 산화막을 제거하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 11】

제 10 항에 있어서, 상기 제 2 배선은 구리(Cu)로 형성하는 것을 특징으로 하는 반도체 소자 제조방법.

【청구항 12】

제 10 항에 있어서, 상기 플라즈마 처리는 상온에서 진행하는 것을 특징으로 하는 반도체 소자 제조방법.

## 【청구항 13】

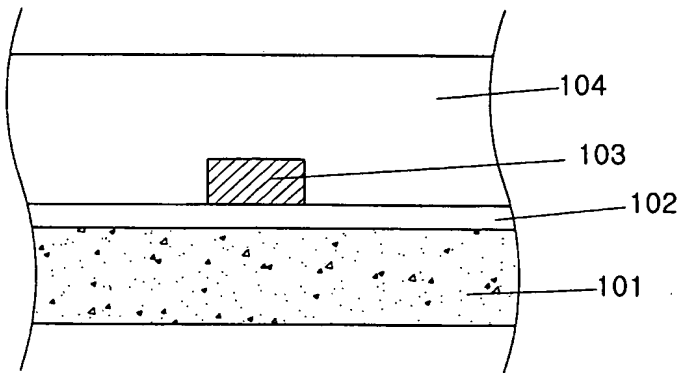
제 10 항에 있어서, 상기 제 2 배선 상에 상기 제 2 배선이 자연적으로 산화하여 형성된 자연 산화막을 수소/일산화탄소 분위기에서 열처리하여 상기 자연 산화막을 제거하는 것을 특징으로 하는 반도체 소자 제조방법.

## 【청구항 14】

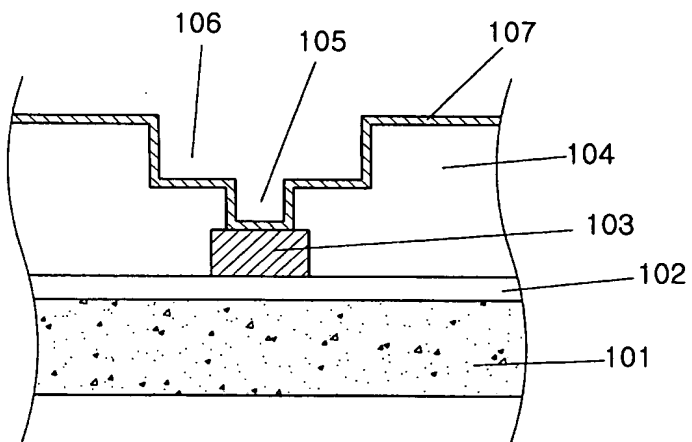
제 13 항에 있어서, 상기 열처리는 상온~200℃ 의 온도 범위에서 실시하는 것을 특징으로 하는 반도체 소자 제조방법.

【도면】

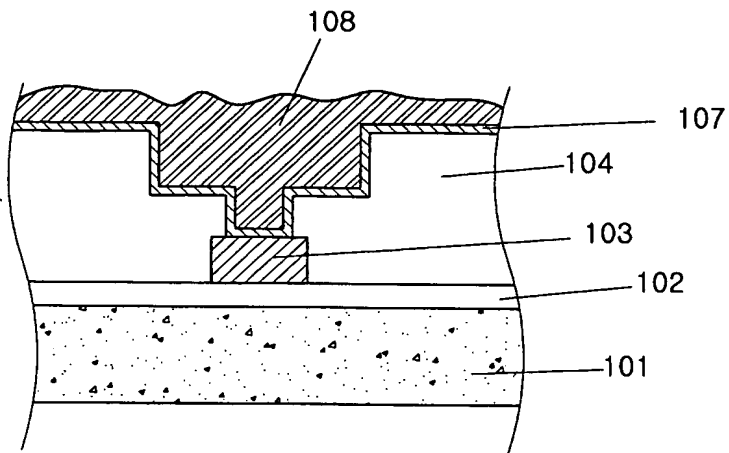
【도 1】



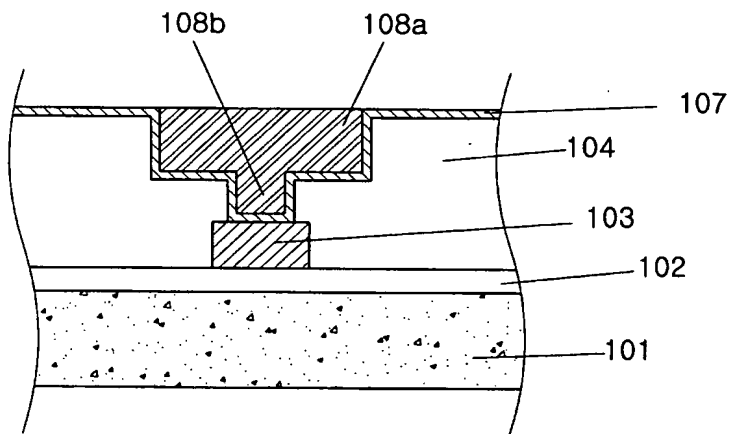
【도 2】



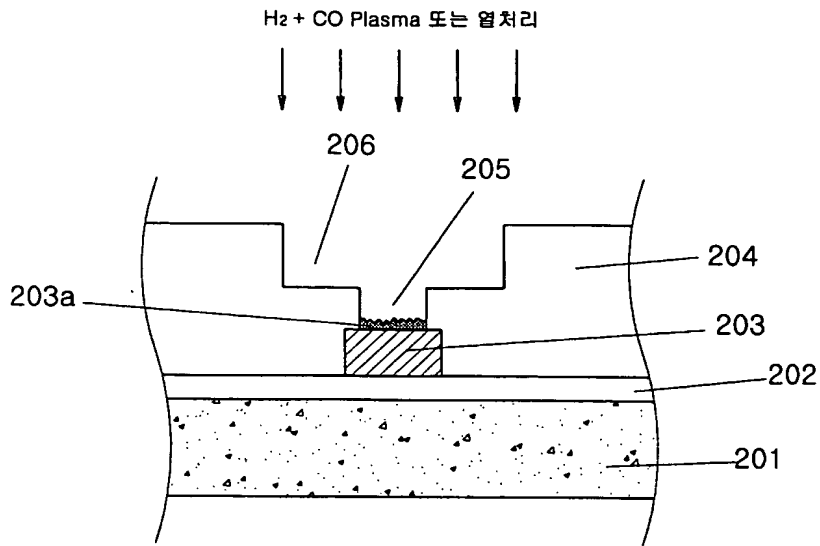
【도 3】



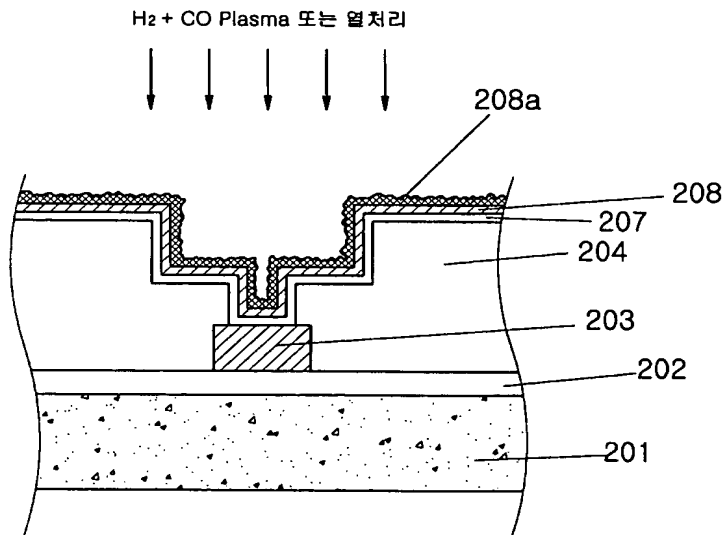
【도 4】



【도 5】

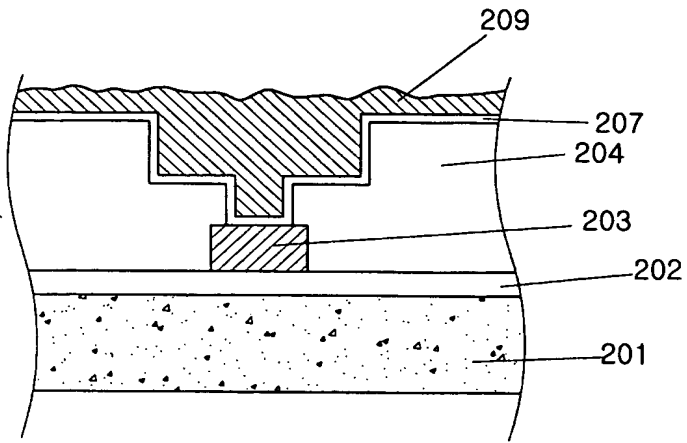


【도 6】





【도 7】



【도 8】

